UNIVERSITÉ DU QUÉBEC À TROIS-RIVIÈRES

RAPPORT LABO A1

PRÉSENTÉ À Dr. Ouameur

COMME EXIGENCE PARTIELLE DU COURS

CONCEPTION EN VLSI (GEI1064)

PAR

PIETRO LACOMMANDE (LACP71050105)

RÉPONSES AUX QUESTIONS GÉNÉRALES

06 OCTOBRE 2025

**TABLE DES MATIÈRES**

[**TABLE DES MATIÈRES** i](#_Toc210680028)

[**LISTE DES FIGURES** ii](#_Toc210680029)

[**QUESTIONS GÉNÉRALES** 1](#_Toc210680030)

[**Quelle est la différence entre la synthèse et la simulation ?** 1](#_Toc210680031)

[**Quelle peut être l’utilité d’avoir plusieurs solutions dans un même projet ?** 1](#_Toc210680032)

[**Expliquez et discutez les résultats de la synthèse.** 1](#_Toc210680033)

[**Quelle est la différence entre «Latency» et «Interval» ?** 2](#_Toc210680034)

[**Quelle est la différence en termes de ressources utilisées et de fréquence maximale d’horloge lorsque vous synthétisez votre filtre avec des variables de type float et de type int?** 2](#_Toc210680035)

**LISTE DES FIGURES**

[Figure 1- Sommaire du matériel 1](#_Toc210680021)

[Figure 2- Latence 2](#_Toc210680022)

[Figure 3- "Timing" 2](#_Toc210680023)

**QUESTIONS GÉNÉRALES**

**Quelle est la différence entre la synthèse et la simulation ?**

La simulation sert à tester la validité de l’algorithme développer en comparant celui-ci avec une implémentation équivalente dans, par exemple, Matlab. La synthèse par contre s’agit du matériel qui sera consommé sur le FPGA sélectionné comme la BRAM, LUT, et la rapidité et « timing ». Lorsque la simulation fonctionne et qu’on confirme la validité de l’algorithme, la synthèse confirme pour sa part si cet algorithme est faisable sur le matériel en soit.

**Quelle peut être l’utilité d’avoir plusieurs solutions dans un même projet ?**

L’utilité d’avoir plusieurs solutions dans un même projet est de pouvoir tester différentes optimisations sans avoir à créer de nouveaux projets à chaque fois. Comme énoncé dans le tutoriel, les optimisations spécifiées dans le fichier de directive ne sont pas reportées aux autres solutions.

**Expliquez et discutez les résultats de la synthèse.**

A black and white table with numbers and numbers

AI-generated content may be incorrect.

Figure 1- Sommaire du matériel

On peut voir sur le graphique ci-dessus qu’on utilise très peu le matériel disponible sur le FPGA tel que les look-up tables, la BRAM et plus encore. Il serait bien de se servir plus de ceci pour accélérer les calculs et profiter pleinement des forces du calcul sur un FPGA.

A screenshot of a computer program

AI-generated content may be incorrect.

Figure 2- Latence

Ça prend 13445 cycles d’horloge pour compléter un calcul de fir avec 2000 échantillons avec cette implémentation qui n’optimise rien.

A screenshot of a computer

AI-generated content may be incorrect.

Figure 3- "Timing"

**Quelle est la différence entre «Latency» et «Interval» ?**

La latence correspond au nombre de cycle d’horloge nécessaire pour produire un résultat du début jusqu’à la fin. Plus précisément, la latence globale dans ce contexte-ci correspond au nombre de cycle d’horloge que ça prend entre la première donnée entrée et la dernière donnée sortie. Lorsqu’on connait la fréquence de l’horloge il est possible de déduire le temps total.

L’interval correspond au nombre de coups d’horloge nécessaire avant de pouvoir commencer un nouveau traitement de donnée.

**Quelle est la différence en termes de ressources utilisées et de fréquence maximale d’horloge lorsque vous synthétisez votre filtre avec des variables de type float et de type int?**

L’utilisation de valeur de type entier n’est pas demandée dans le cadre de ce laboratoire, cependant il est clair que les variables de type entier sont moins complexes à calculer et sont donc plus rapide à calculer et prennent moins de ressources. Par contre, les variables de type float sont parfois nécessaire pour obtenir une bonne précision de calcul.